实验一 基础电路的实现与测试

1. 实验目的

1.掌握Verilog语言框架，编程及调试的方法。

2.熟悉Verilog的基本语法。

3.掌握Vivado开发平台及FPGA开发板的使用。

1. 实验内容

1.利用“Vivado Test”目录下的实例，在Vivado中完成一个工程的设计、编辑、综合和实现的全过程（拍照记录开发板运行结果，简要分析对开发过程和三种文件作用的理解）。

2.完成基本电路模块的设计与测试（只执行SIMULATION与RTL ANALYSIS，不用下载到开发板），说明电路功能，分析设计代码实现、RTL电路图、仿真代码及仿真结果。

1. 实验要求

1.说明电路功能，分析设计、仿真代码和电路图。

2.分析仿真波形，观察输入输出是否与预期电路功能相符（测试要全面，关注特殊情况的测试）。

3.记录设计和调试过程。

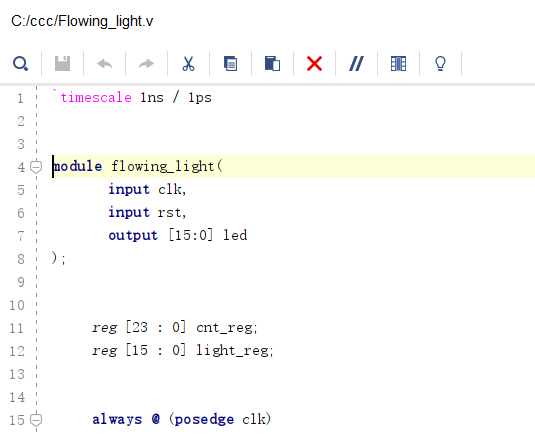
四、实验过程及结果分析

**对电路功能、设计代码、电路图、测试结果等进行简要分析说明，不能只贴截图。**

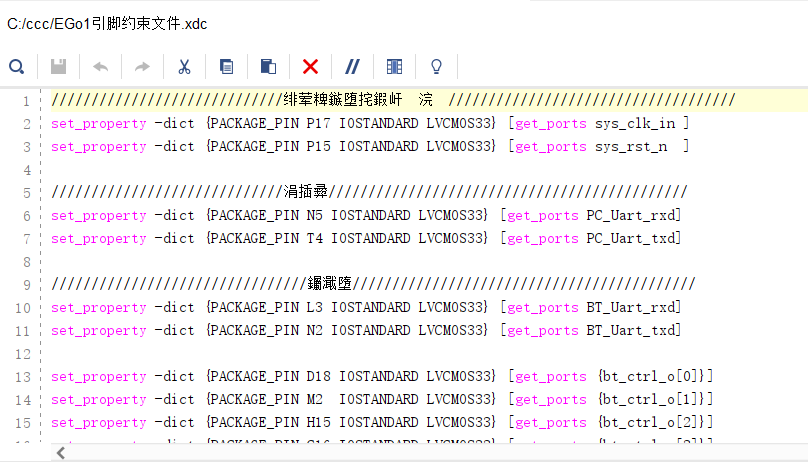
**对于实验内容1：**

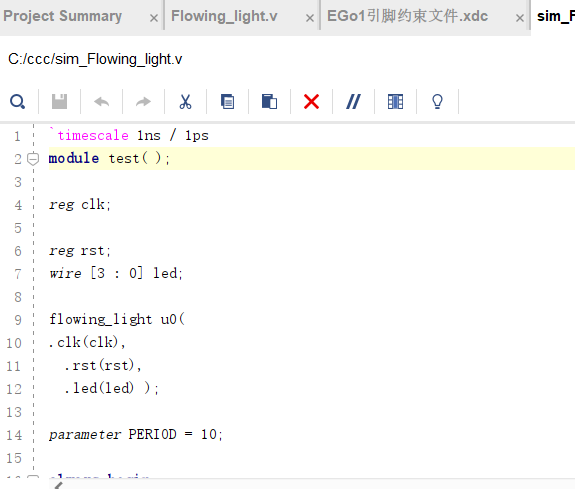
实验要求利用实例来体验一个工程的设计，编辑，综合和实现的全过程。

下图为设计文件：



下图为约束文件：



下图为仿真文件：  


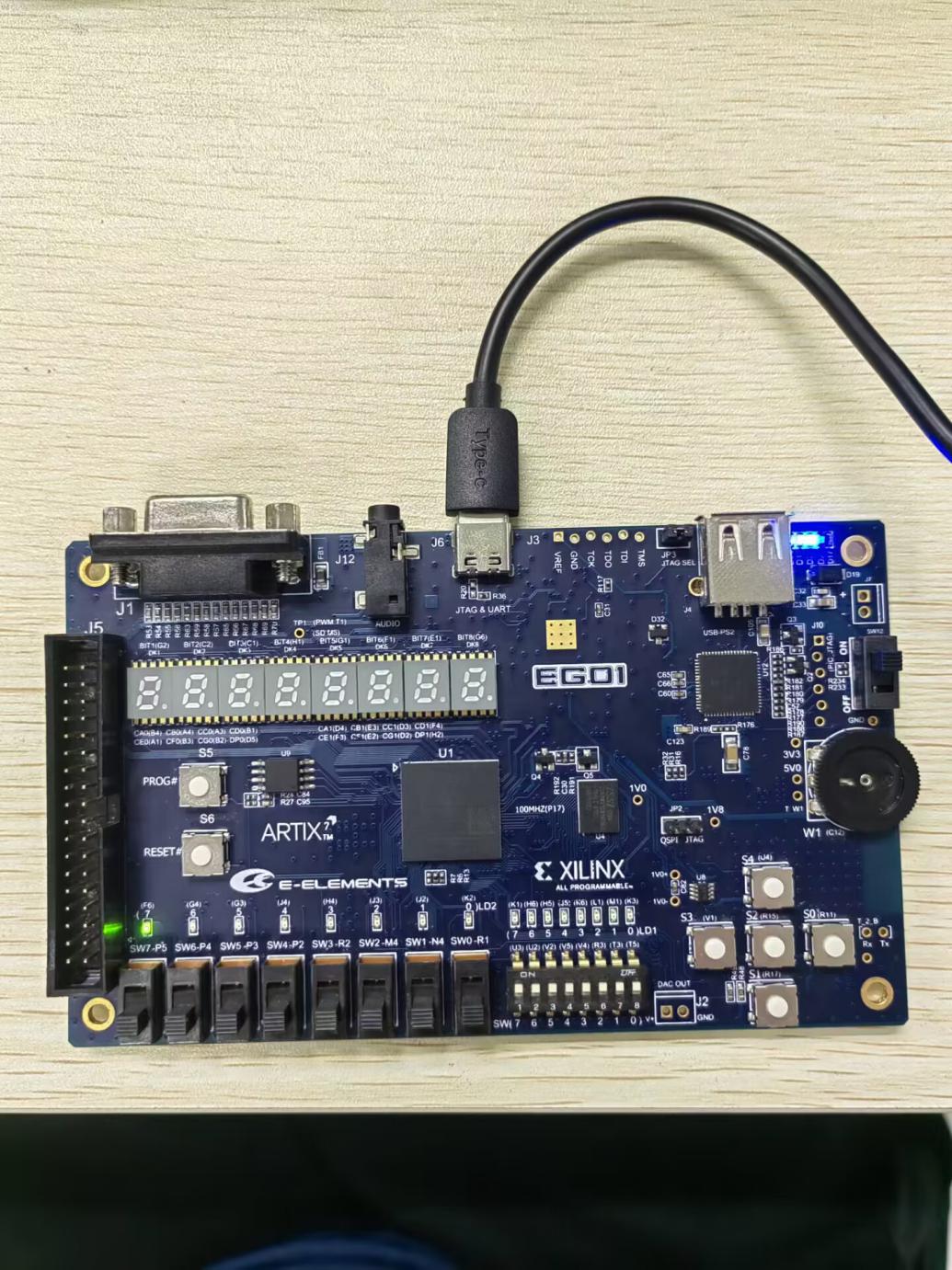
对三种文件作用的理解：

1.设计文件内包含对电路逻辑功能的编程实现，主要用于实现电路的相关功能；

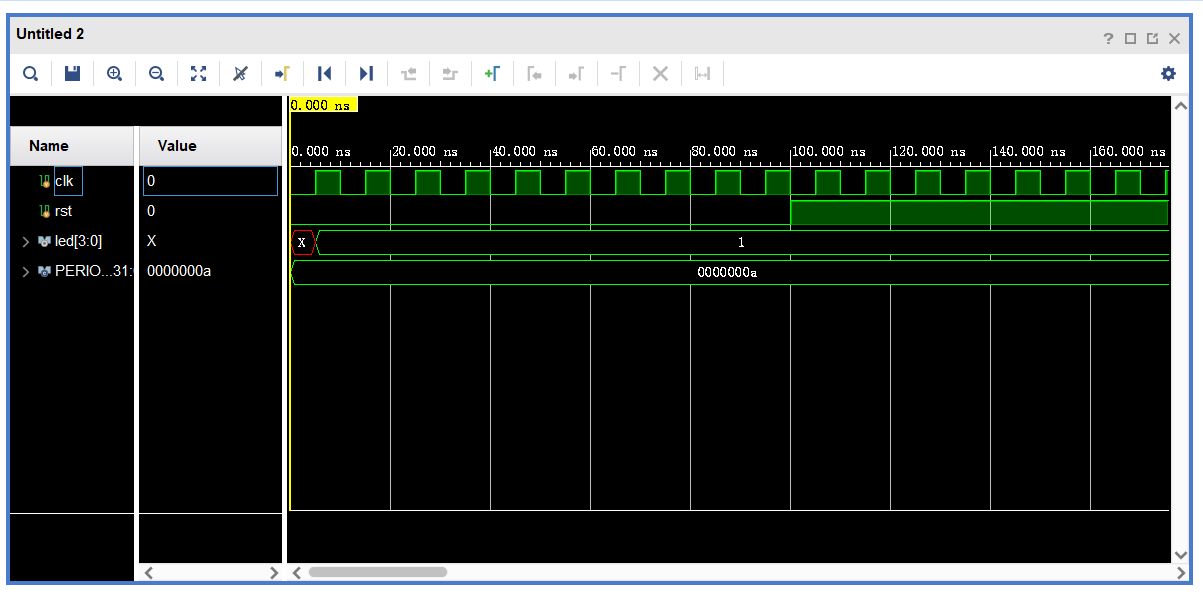
2.约束文件内包含了对于特定电路板，如何配置引脚等信息，主要是保证和组织逻辑功能能够正确的在电路板上运行；

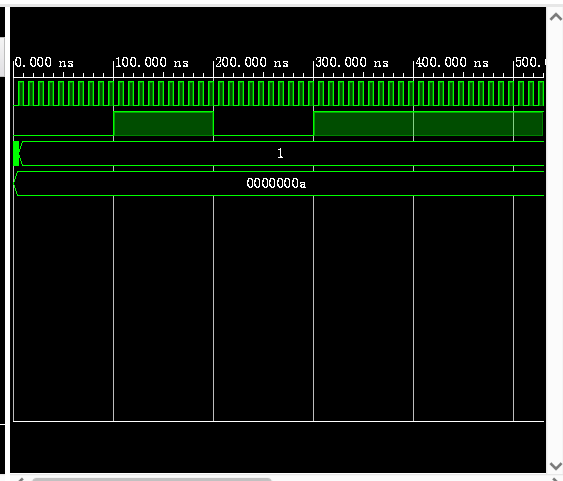
3.仿真文件实现通过模拟输入来运行设计文件，从而通过仿真结果图辅助判断电路逻辑是否正确，如果有错误也便于修改。

实际结果图：

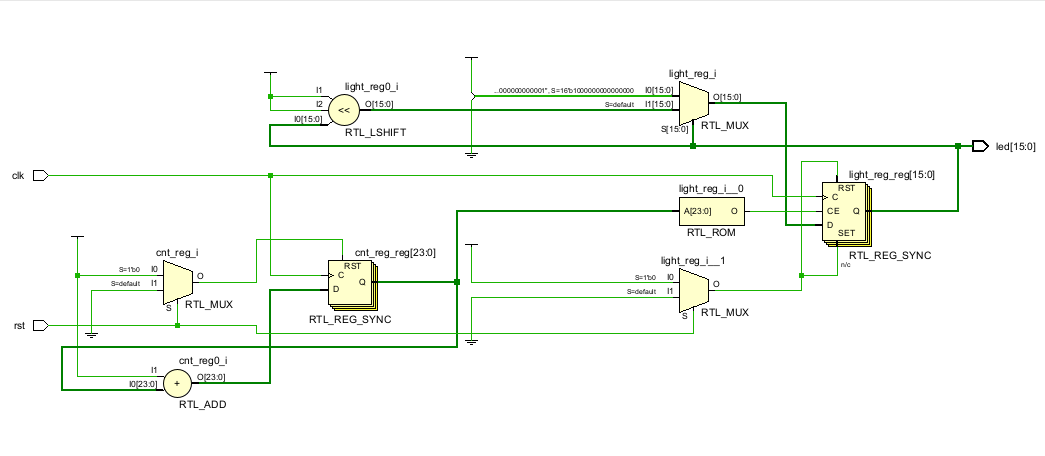
****

仿真结果图：





Vivado生成的逻辑图：



分析：

（1）电路功能：电路实现一个流水灯的功能（带有可正常生效的复位键）。

（2）设计分析：有两个always块，第一个在时钟上升沿触发，如果复位信号为高电平，cnt\_reg值+1，如果复位信号为低，则cnt\_reg清零；第二个也在上升沿触发，如果复位信号为低，点亮最低位led灯；如果light\_reg等于16‘h8000（最高位led灯点亮），重置为16’h0001，从最低位灯重新开始；如果不是最高位的灯点亮则左移一位，实现流水灯功能。

（3）仿真代码分析：首先定义了模拟的时间单位和步长；定义test模块，声明模拟信号，然后定义初始块，模拟复位信号和时钟的初始状态，最后通过提供的信号模拟设计文件在实际硬件环境的行为来判断设计文件是否可以正常执行。

（4）电路图分析：电路图就是设计分析的直观表现。

（5）仿真结果/波形图分析：

波形图第一行是时钟信号；

第二行是复位信号，根据仿真文件，他会在延迟100ns后变为高电平；维持100ns后变为低电平并维持100ns，之后永久变为高电平；

第三行是led的输出信号，它是根据light\_reg的结果进行输出的；

第四行是PERIOD信号，是一个常量值，决定了时钟翻转的频率，在仿真中没有改变。

观察波形图可知，实际效果与我们想要的效果相符。

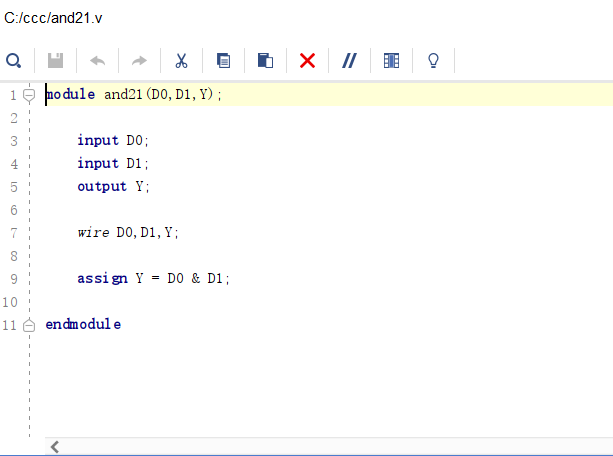
1. 测试结果分析；

在开发板上，不输入复位信号时，会实现流水灯效果；当持续输入复位信号，流水灯效果停止；松开复位键后重新开始流水灯。

**对于实验内容二：**

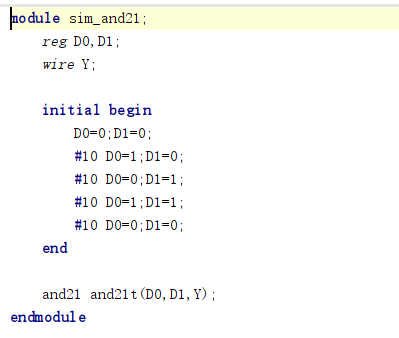
1. and21

以下是设计文件：

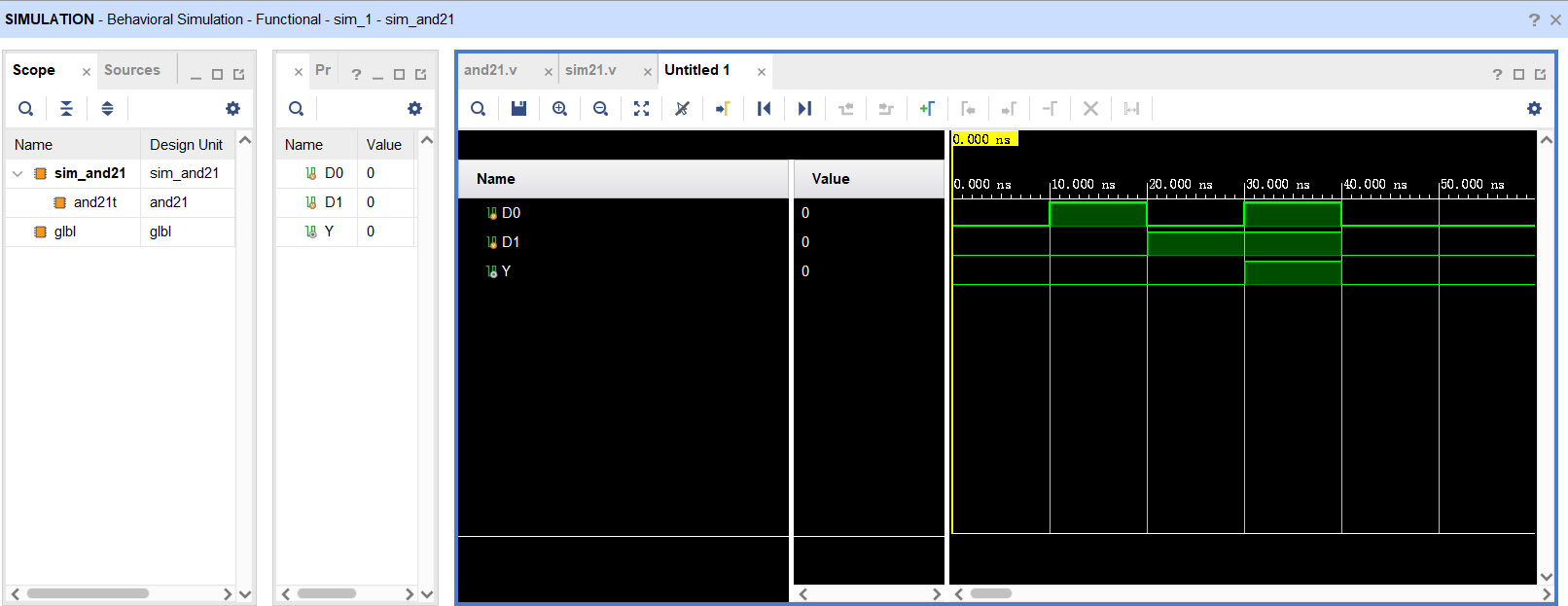


约束文件同实验内容1中的文件；

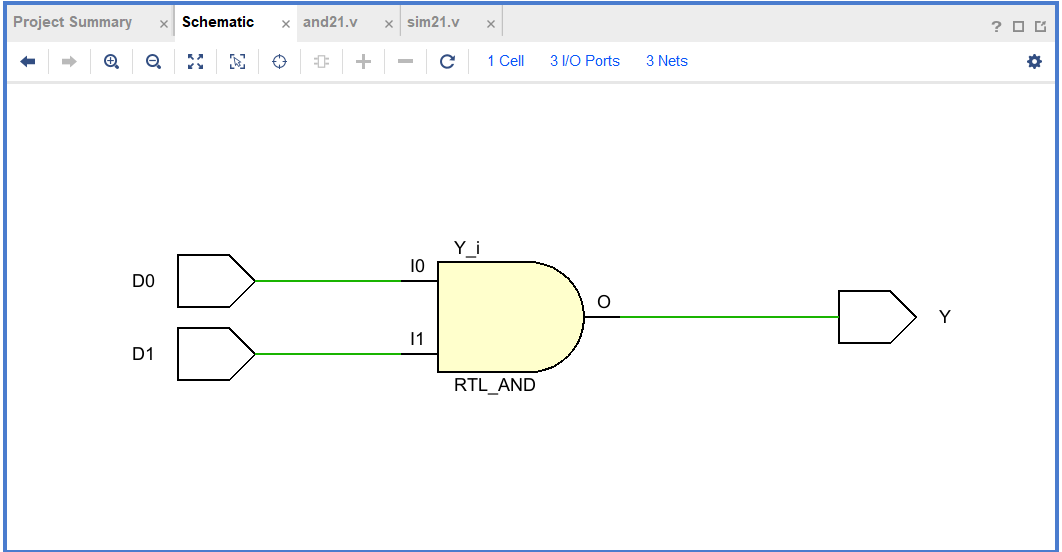
以下是仿真文件：



仿真结果/波形图如下：



以下是vivado生成的逻辑电路图：



分析：

1. 电路功能：实现一个简单的逻辑与的功能，输入两个逻辑信号，输出他们相与的结果。
2. 设计分析：在设计文件中，有输入两个变量，输出一个；使输出的结果为输入两个变量的逻辑与。
3. 仿真代码分析：初始化两个输入变量：

延迟10个时间单位后，设定D0=1;D1=0;

再延迟10个时间单位后，设定 D0=0;D1=1;

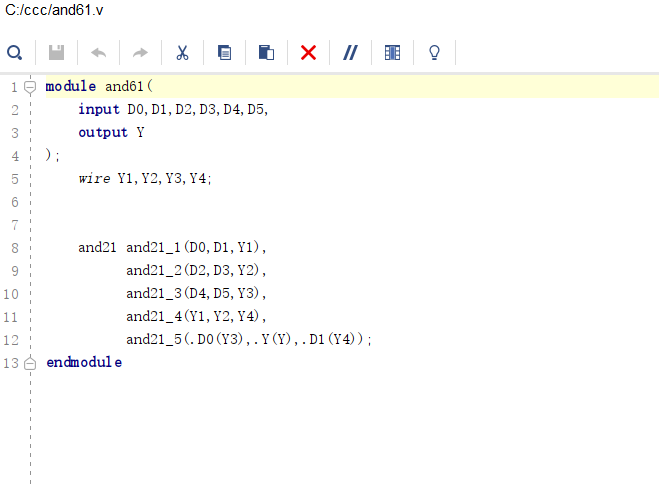
再延迟10个时间单位后，设定D0=1;D1=1;

再延迟10个时间单位后，设定D0=0;D1=0;

同时利用and21 module进行输出。

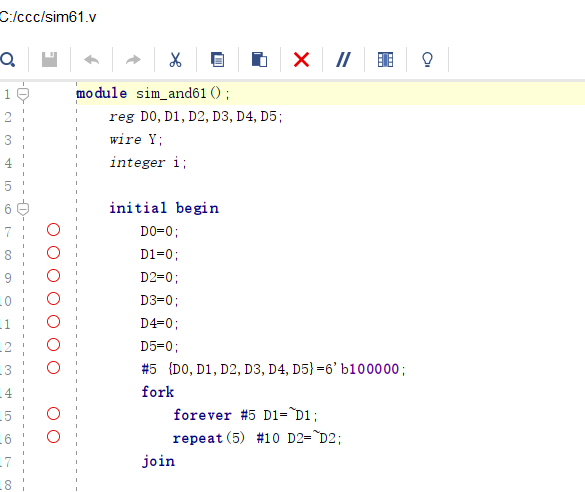
1. 电路图分析：一个逻辑与的简单逻辑电路。
2. 仿真结果/波形图分析：从上往下每行依次是D0,D1,Y的波形图。可以发现，D0和D1的波形图都满足（3）中分析，同时，Y也只有当D0和D1都为高电平的时候才为高，显然满足预定的功能。
3. and61

以下是设计文件：

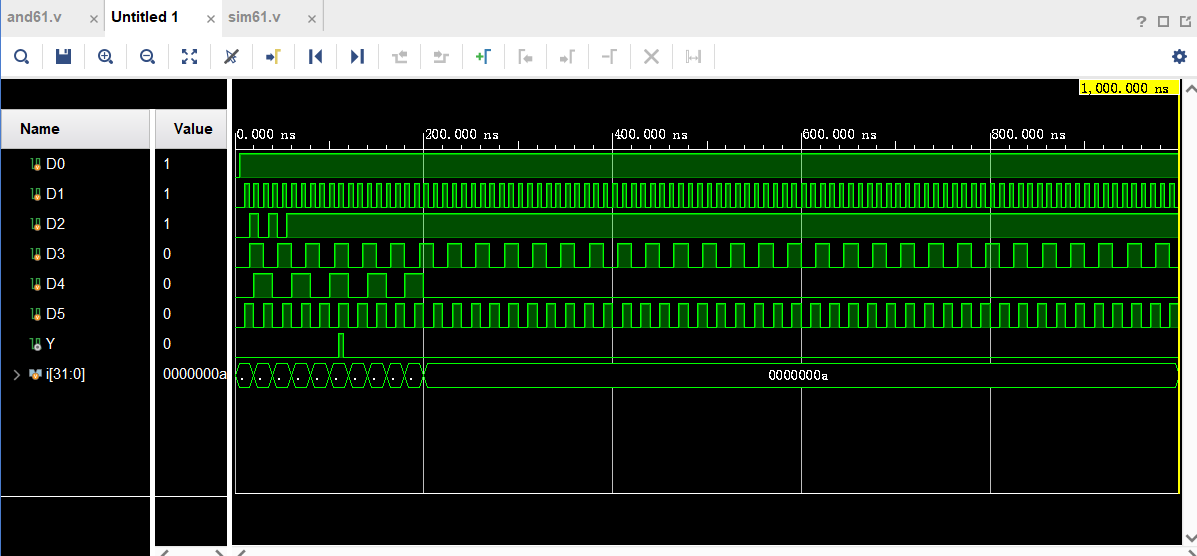


约束文件同实验内容1中的文件；

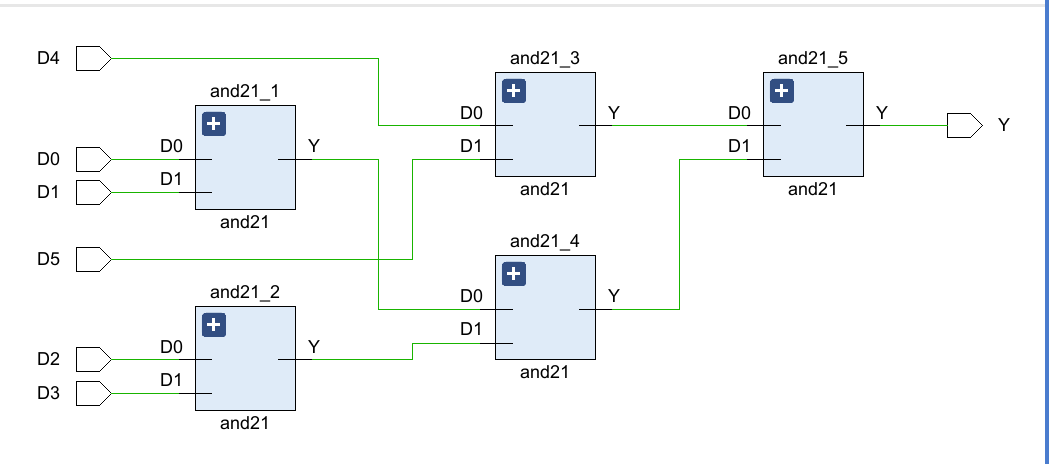
以下是仿真文件：



仿真结果/波形图如下：



以下是vivado生成的逻辑电路图：



分析：

1. 电路功能：实现6个变量的逻辑与功能，输入六个逻辑信号，输出他们相与的结果。
2. 设计分析：在设计文件中，有输入6个变量，输出1个；使输出的结果为输入6个变量的逻辑与（复用了and21中的代码）。
3. 仿真代码分析：初始化6个输入变量：

延迟5个时间单位后，设定D0=1;其他为0;

之后每延迟5个时间单位都使D1翻转一次；

延迟10个时间单位后翻转D2，此过程重复5次；

每延迟15个时间单位翻转一次D3；

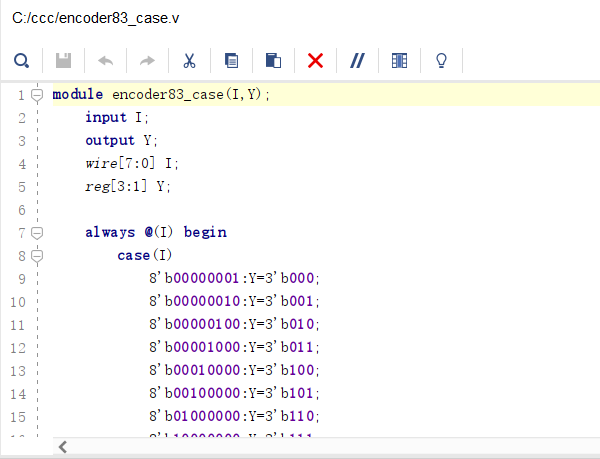
每延迟20个时间单位翻转一次D4，重复10次；

每延迟10个时间单位翻转一次D5；

同时利用and61 module进行输出。

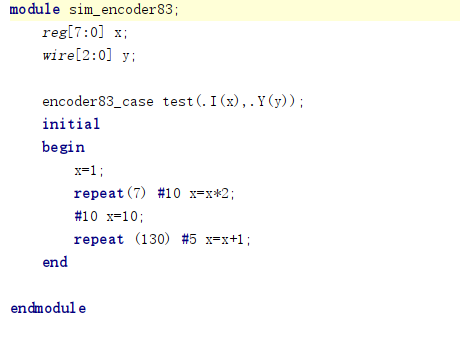
1. 电路图分析：一个逻辑与的简单逻辑电路，实现了输出结果为六个变量相与。
2. 仿真结果/波形图分析：从上往下每行依次是D0,D1,D2,D3,D4,D5,Y的波形图。可以发现，D0,D1,D2,D3,D4,D5的波形图都满足（3）中分析，同时，Y也只有当D0,D1,D2,D3,D4,D5都为高电平的时候才为高，显然满足预定的功能。
3. encoder83

以下是设计文件：

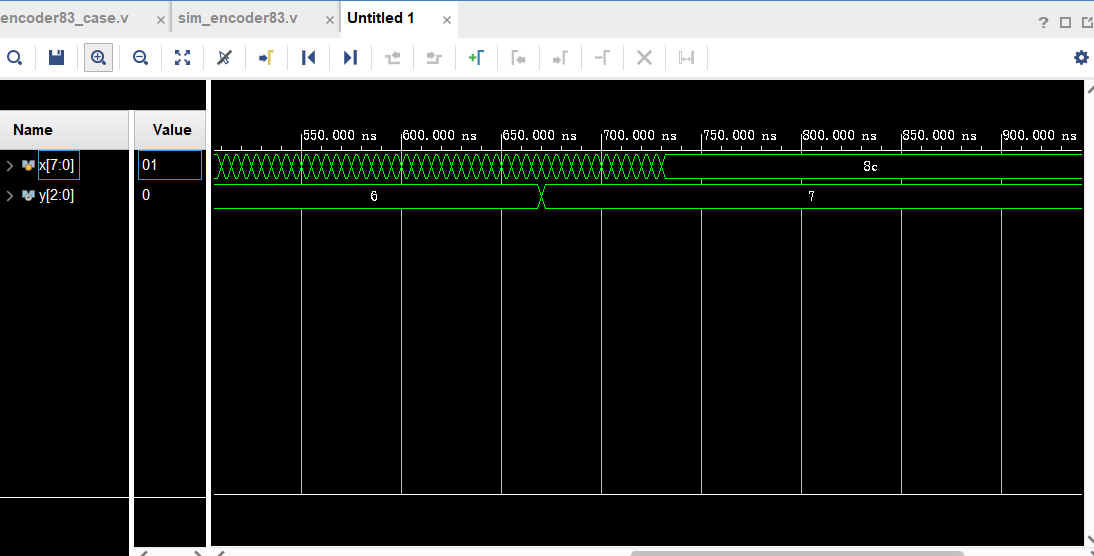
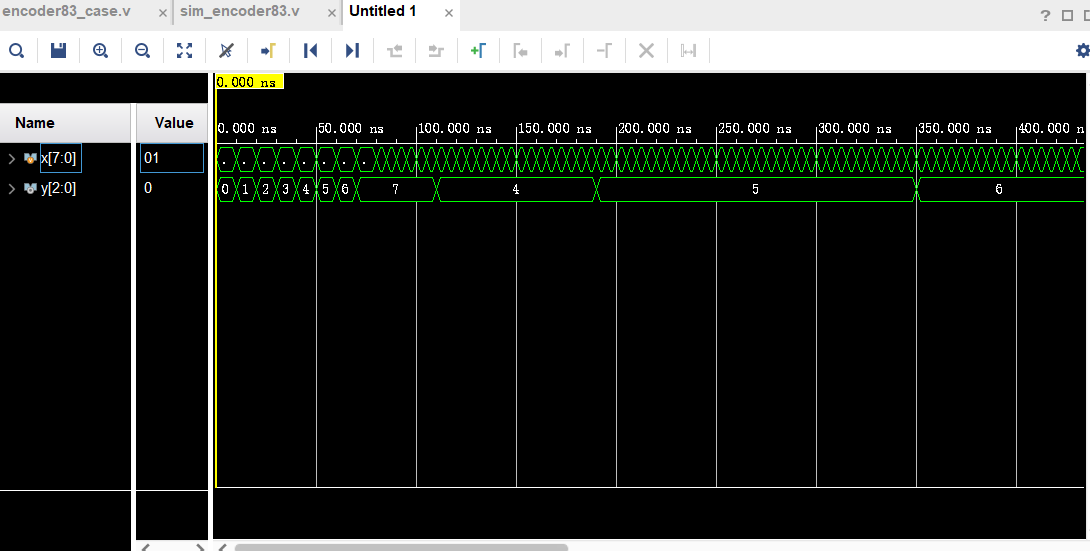


约束文件同实验内容1中的文件；

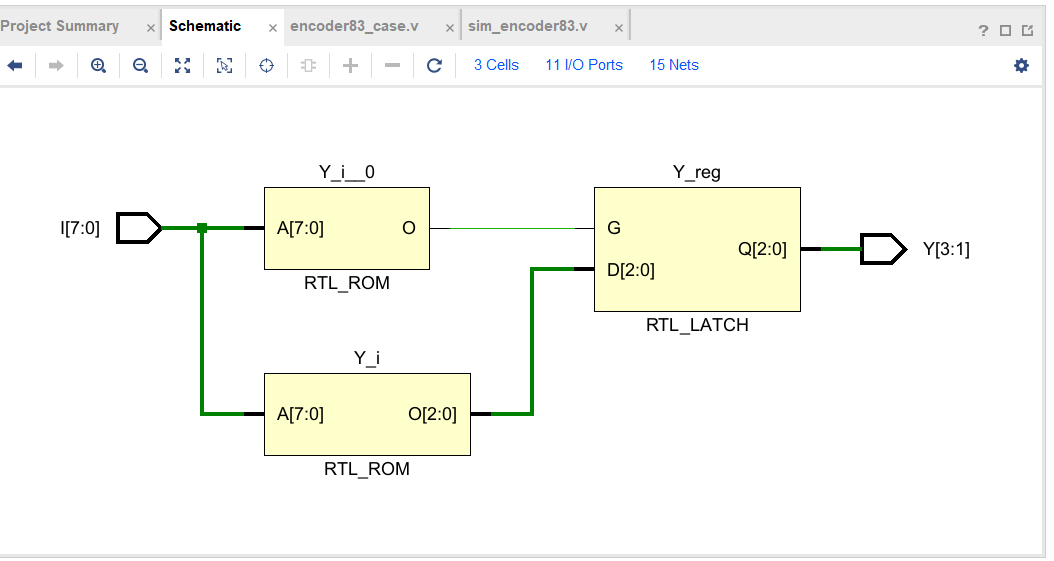
以下是仿真文件：



以下是仿真结果/波形图：



以下是vivado生成的逻辑电路图：



分析：

1. 电路功能：实现8-3编码器的功能，输入8位信号，转化为3位信号。
2. 设计分析：在设计文件中，有输入1个变量（8位），输出1个（3位）；根据输入结果的不同，使输出的结果为输入变量的编码结果。
3. 仿真代码分析：初始化输入信号为1；

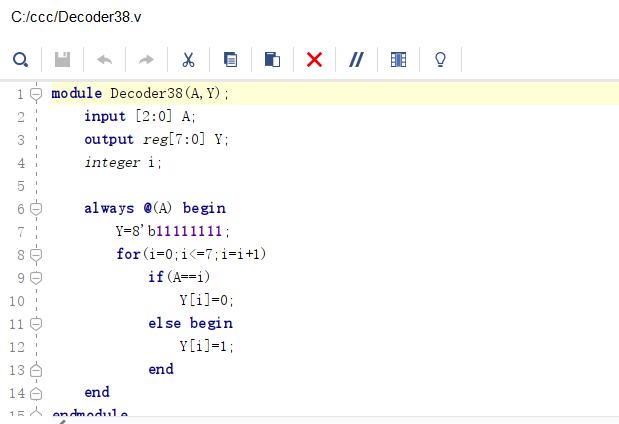
每延迟10个时间单位x=x\*2,重复7次；

之后延迟10个时间单位后x=10；

之后每延迟5个时间单位x=x+1,重复130次。

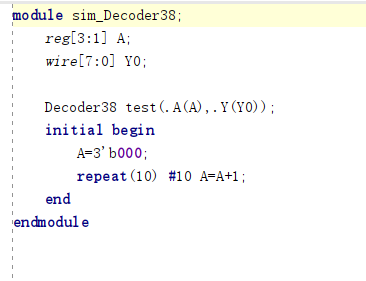
1. 电路图分析：输入信号为I，通过83编码器转化为相应输出信号。
2. 仿真结果/波形图分析：从上往下是x，y的波形图，观察发现x的输入符合（3）中的分析；y的输出根据x输入的不同呈现不同的结果，且符合8-3编码器的规则。
3. decoder38

以下是设计文件：

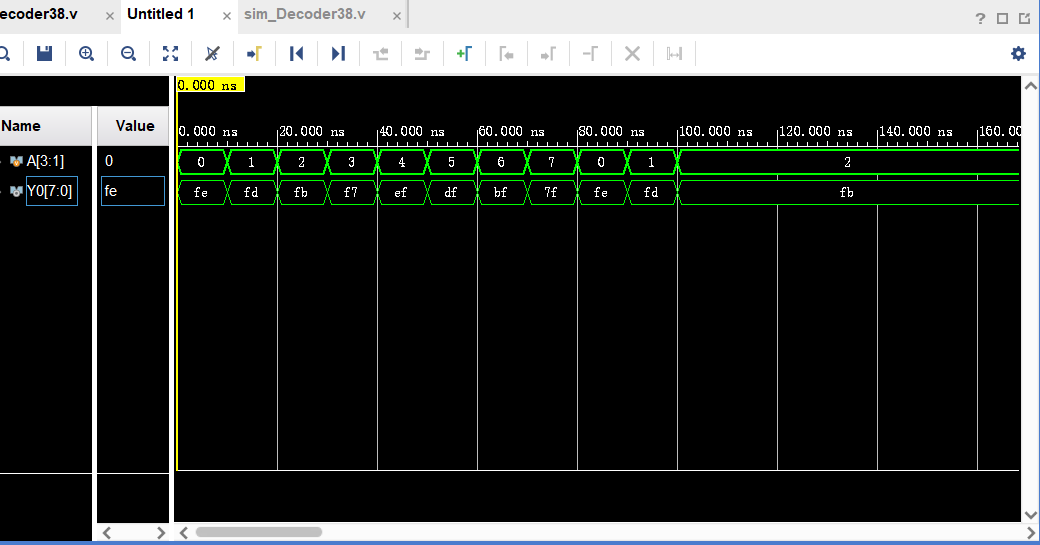


约束文件同实验内容1中的文件；

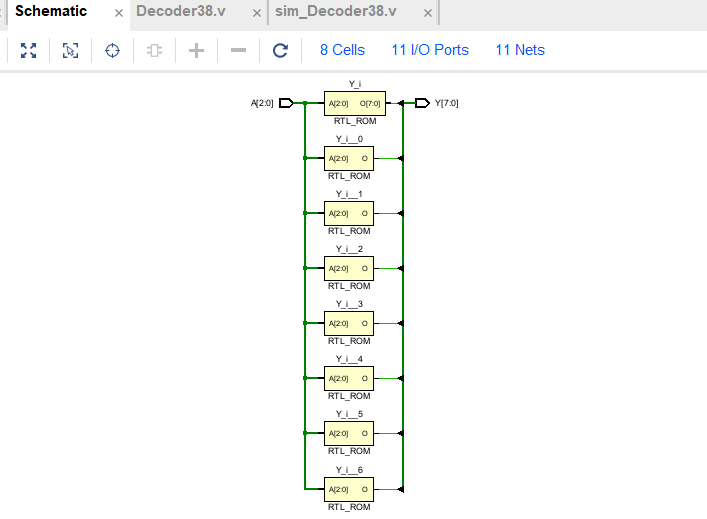
以下是仿真文件：



以下是仿真结果/波形图：



以下是vivado生成的逻辑电路图：



分析：

（1）电路功能：3-8译码器的功能，输入3位信号，转化为8位信号，其中只有一位有效。

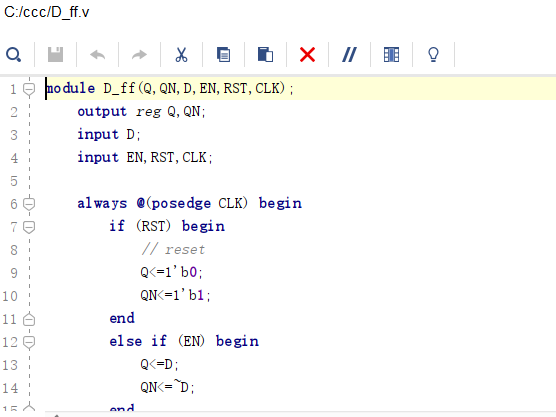
（2）设计分析：在设计文件中，有输入1个变量（3位），输出1个（8位）；使输出的结果为输入变量的解码结果（仅有一位生效的结果）。

（3）仿真代码分析：初始化输入变量A为000；

每延迟10个时间单位，A=A+1，重复10次；

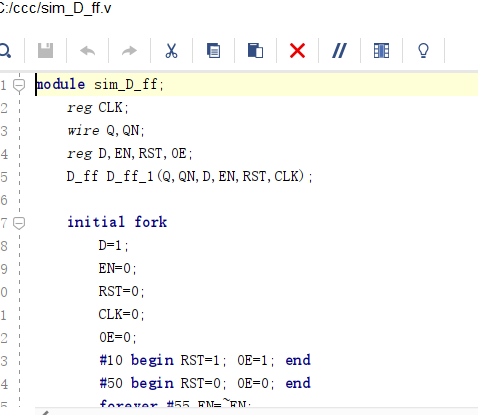
1. 电路图分析：输入信号为A，通过38译码器转化为相应输出信号。
2. 仿真结果/波形图分析：从上往下是x，y的波形图，观察发现x的输入符合（3）中的分析；y的输出根据x输入的不同呈现不同的结果，且符合3-8译码器的规则。
3. D\_ff

以下是设计文件：

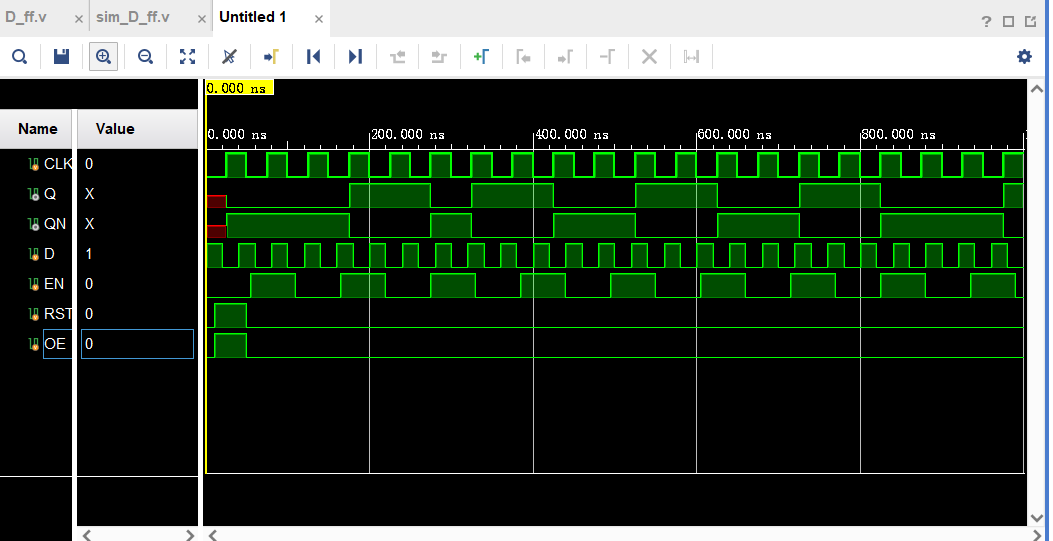


约束文件同实验内容1中的文件；

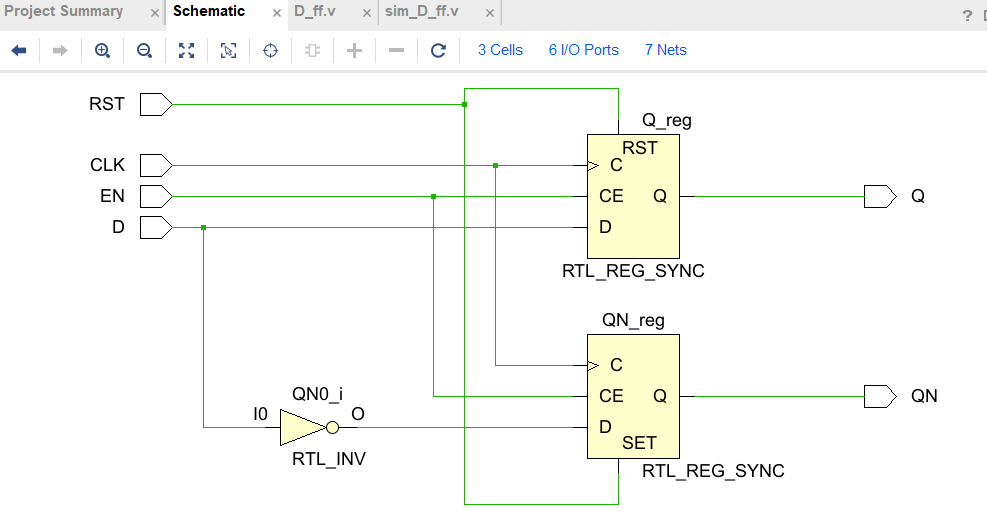
以下是仿真文件：



以下是仿真结果/波形图：



以下是vivado生成的逻辑电路图：



分析：

1. 电路功能：实现一个D触发器的功能。
2. 设计分析：在设计文件中，有输入4个变量D,EN,RST,CLK(数据输入，使能，复位，时钟信号)，输出2个Q,QN(Q和Q的反相)。
3. 仿真代码分析：初始化输入变量D为1，EN=0，RST=0，CLK=0，OE=0；

延迟10个时间单位后使RST=1，OE=1；

再延迟50个时间单位后使RST=0，OE=0；

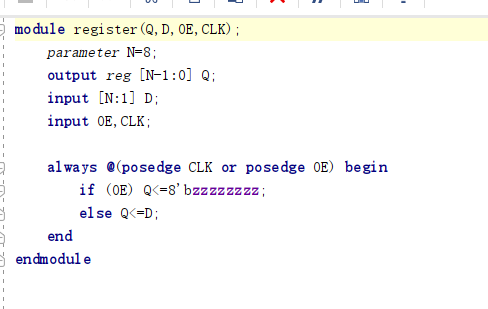
每延迟55个时间单位，使EN翻转一次；

每延迟20个时间单位，使D翻转一次；

每延迟25个时间单位使CLK翻转一次。

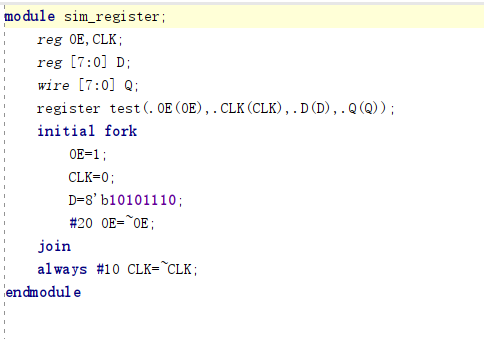
1. 电路图分析：输入信号为D，实现D触发器的功能并且输出Q和QN。
2. 仿真结果/波形图分析：从上往下是CLK，Q，QN，D，EN，RST，OE的波形图，观察发现CLK，D，EN，RST，OE的输入符合（3）中的分析；Q和QN的输出根据四个输入的不同呈现不同的结果，且符合D触发器的规则。
3. register

以下是设计文件：

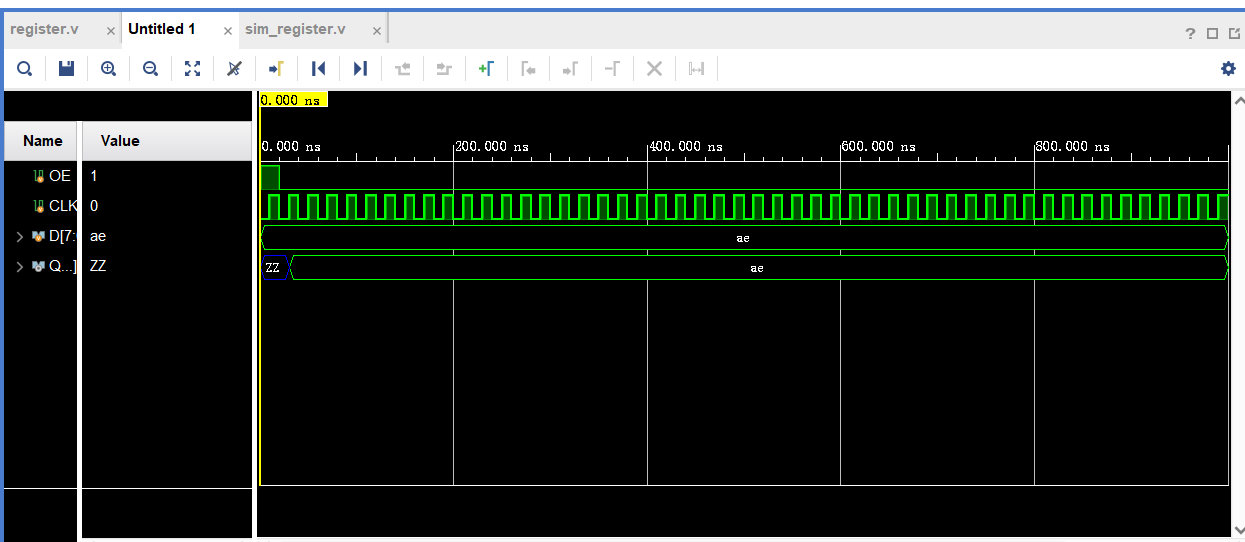


约束文件同实验内容1中的文件；

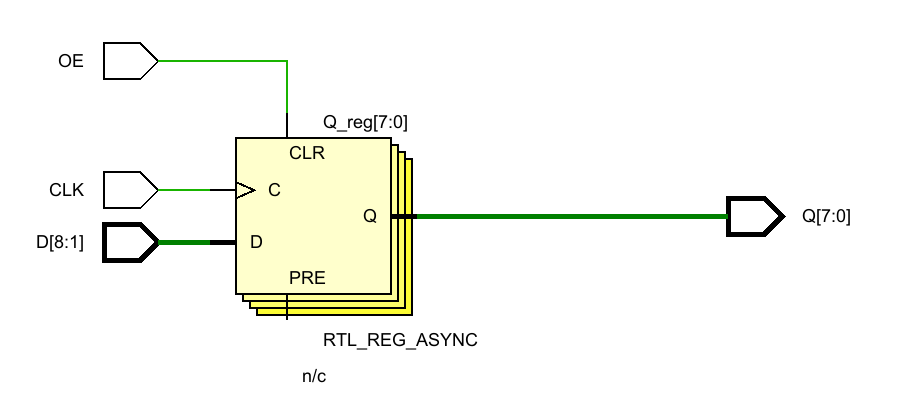
以下是仿真文件：



以下是仿真结果/波形图：



以下是vivado生成的逻辑电路图：



分析：

1. 电路功能：实现一个寄存器的功能。
2. 设计分析：在设计文件中，有输入2个变量OE，CLK(使能信号和时钟信号)，输出1个Q（N位的数据）。
3. 仿真代码分析：初始化输入变量D=8'b10101110;，CLK=0，OE=1；

经过20个时间单位后使OE翻转；

每过10个时间单位都使CLK翻转一次。

1. 电路图分析：输入信号为D，实现寄存器的功能并且输出Q。
2. 仿真结果/波形图分析：从上往下是OE，CLK，D，Q的波形图，观察发现CLK，D和OE的输入符合（3）中的分析；Q输出根据输入的不同呈现不同的结果，且符合寄存器的规则。

五、调试和心得体会

调试遇到的困难和解决过程：

困难：发现and61.v文件无法正常运行。

解决：仔细观察and61.v文件发现使用了and21.v的相关模块，引入and21.v文件后可以正常运行。

心得体会：

一．获得了对三种工程文件作用的理解：

1.设计文件内包含对电路逻辑功能的编程实现，主要用于实现电路的相关功能；

2.约束文件内包含了对于特定电路板，如何配置引脚等信息，主要是保证和组织逻辑功能能够正确的在电路板上运行；

3.仿真文件实现通过模拟输入来运行设计文件，从而通过仿真结果图辅助判断电路逻辑是否正确，如果有错误也便于修改。

二．仿真的重要性：

在硬件更新之前进行仿真验证，可以避免不必要的硬件迭代，节省时间和资源。